

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-304654

(43)Date of publication of application : 13.11.1998

(51)Int.Cl.

H02M 3/07

H01L 27/04

H01L 21/822

(21)Application number : 09-110714

(71)Applicant : TOSHIBA MICROELECTRON CORP
TOSHIBA CORP

(22)Date of filing : 28.04.1997

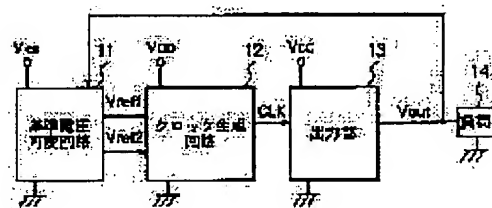
(72)Inventor : SHIMOZONO MASAHIRO
IWAMOTO YASUNORI

(54) CHARGE PUMP CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a charge pump circuit which can shorten the charge-up time and reduce power consumption.

SOLUTION: This circuit is provided with a reference voltage variable circuit 11, which receives the supply voltage V_{cc} and the charge pump output voltage V_{out} and generates reference voltages V_{ref1} and V_{ref2} , whose relative potential difference changes according to the voltage V_{out} , a clock generating circuit 12 which receives the supply voltage V_{DD} and the reference voltages V_{ref1} , V_{ref2} and generates a clock CLK having a frequency F according to the relative potential difference between the reference voltages V_{ref1} and V_{ref2} , and an output section 13 which receives the supply voltage V_{cc} and the clock CLK and generates the voltage V_{out} higher than the supply voltage V_{cc} . This circuit can shorten the charge-up time and reduce the power consumption by continuously increasing the output voltage V_{out} and lowering the frequency F of the clock CLK .



LEGAL STATUS

[Date of request for examination]

13.09.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3397630

[Date of registration]

14.02.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-304654

(43) 公開日 平成10年(1998)11月13日

(51) Int.Cl.⁶

識別記号

F I

H 0 2 M 3/07

H 0 2 M 3/07

H 0 1 L 27/04

H 0 1 L 27/04

G

21/822

審査請求 未請求 請求項の数7 O L (全 8 頁)

(21) 出願番号 特願平9-110714

(22) 出願日 平成9年(1997)4月28日

(71) 出願人 000221199

東芝マイクロエレクトロニクス株式会社
神奈川県川崎市川崎区駅前本町25番地1

(71) 出願人 000003078

株式会社東芝
神奈川県川崎市幸区堀川町72番地

(72) 発明者 下 蘭 昌 博

神奈川県川崎市川崎区駅前本町25番地1
東芝マイクロエレクトロニクス株式会社内

(72) 発明者 岩 本 恭 典

神奈川県川崎市幸区堀川町580番1号 株
式会社東芝半導体システム技術センター内

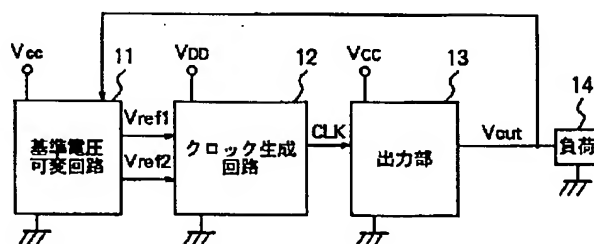
(74) 代理人 弁理士 佐藤 一雄 (外3名)

(54) 【発明の名称】 チャージポンプ回路

(57) 【要約】

【課題】 クロックの周波数が固定されており、チャージポンプ出力電圧が設定値に到達した後も回路電流が流れ続けて、チャージアップ時間の短縮と消費電力の低減とを両立させることができなかった。

【解決手段】 電源電圧 V_{cc} とチャージポンプ出力電圧 V_{out} を与えられ、電圧 V_{out} に応じて相対的な電位差が変化する基準電圧 V_{ref1} 、 V_{ref2} を発生する基準電圧可変回路11、電源電圧 V_{DD} と基準電圧 V_{ref1} 、 V_{ref2} を与えられ相対的な電位差に応じた周波数 F を有するクロック CLK を生成するクロック生成回路12、電源電圧 V_{cc} とクロック CLK を与えられて電源電圧 V_{cc} よりも高い電圧 V_{out} を発生する出力部13とを備え、出力電圧 V_{out} の上昇とともにクロック CLK の周波数 F を連続的に低下させることで、チャージアップ時間の短縮と消費電力の低減とを両立させる。



【特許請求の範囲】

【請求項１】第１の電源電圧と、チャージポンプ出力電圧とを与えられ、前記チャージポンプ出力電圧に応じて相対的な電位差が変化する第１及び第２の基準電圧を発生する基準電圧可変回路と、

前記第２の電源電圧と、前記第１及び第２の基準電圧とを与えられ、前記第１及び第２の基準電圧の相対的な電位差に応じた周波数を有するクロックを生成するクロック生成回路と、

第１の電源電圧と前記クロックとを与えられ、前記クロックを用いて前記第１の電源電圧よりも高い前記チャージポンプ出力電圧を発生する出力部と、
を備えることを特徴とするチャージポンプ回路。

【請求項２】前記基準電圧可変回路は、前記チャージポンプ出力電圧が上昇するに従い前記第１及び第２の基準電圧の相対的な電位差を連続的に拡大させていき、前記チャージポンプ出力電圧が前記第１及び第２の電源電圧の加算値以上に到達すると、前記クロック生成回路は前記クロックの生成を停止することを特徴とする請求項１記載のチャージポンプ回路。

【請求項３】前記クロック生成回路は、前記第１及び第２の基準電圧のうち電圧が高い方が前記第２の電源電圧以上になると、前記クロックの生成を停止することを特徴とする請求項１記載のチャージポンプ回路。

【請求項４】第１の電源電圧と、チャージポンプ出力電圧とを与えられ、前記チャージポンプ出力電圧に応じて電位が変化する第１の基準電圧を発生する基準電圧可変回路と、

前記第２の電源電圧を与えられ、この第２の電源電圧と所定電圧との電位差に応じた周波数を有するクロックを生成するクロック生成回路と、

第１の電源電圧と前記クロックとを与えられ、前記クロックを用いて前記第１の電源電圧よりも高い前記チャージポンプ出力電圧を発生する出力部と、
を備えることを特徴とするチャージポンプ回路。

【請求項５】前記基準電圧可変回路は、前記チャージポンプ出力電圧が上昇するに従い前記第１の基準電圧と前記所定電圧との相対的な電位差が連続的に拡大するように前記第１の基準電圧を変化させていき、前記チャージポンプ出力電圧が前記第１及び第２の電源電圧の加算値以上に到達すると、前記クロック生成回路は前記クロックの生成を停止することを特徴とする請求項４記載のチャージポンプ回路。

【請求項６】前記クロック生成回路は、前記第１の基準電圧が前記第２の電源電圧以上になると、前記クロックの生成を停止することを特徴とする請求項４記載のチャージポンプ回路。

【請求項７】前記基準電圧可変回路は、非反転入力端子が第１の抵抗を介して接地され、前記非反転入力端子が第２の抵抗を介して前記出力部の出力端子に接続され、

さらに前記非反転入力端子が第２の抵抗と略同一の抵抗値を持つ第３の抵抗を介して前記第２の電源電圧を供給する第２の電源電圧端子に接続されており、反転入力端子が前記第１の抵抗と略同一の抵抗値を持つ第４の抵抗を介して出力端子に接続され、前記反転入力端子が前記第２の抵抗と略同一の抵抗値を持つ第５の抵抗を介して前記第１の電源電圧を供給する第１の電源電圧端子に接続され、さらに前記反転入力端子が前記第２の抵抗と略同一の抵抗値を持つ第６の抵抗を介して接地され、前記出力端子から前記第１の基準電圧を発生する加減算増幅器を有し、

前記クロック生成回路は、非反転入力端子に前記第１の基準電圧を入力され、反転入力端子が第７の抵抗を介して第２のＮＡＮＤ回路の出力端子に接続されると共に第１の容量を介して接地された第１の比較器と、

非反転入力端子が前記第１の比較器の前記反転入力端子に接続され、反転入力端子に前記第２の基準電圧を入力される第２の比較器と、

一方の入力端子が前記第１の比較器の出力端子に接続され、他方の入力端子が前記第２のＮＡＮＤ回路の出力端子に接続され、出力端子から前記クロックを出力し、前記第２の電源電圧を供給されて動作する第１のＮＡＮＤ回路と、

一方の入力端子が前記第１のＮＡＮＤ回路の出力端子に接続され、他方の入力端子が前記第２の比較器の出力端子に接続され、前記第２の電源電圧を供給されて動作する第２のＮＡＮＤ回路とを有し、

前記出力部は、入力端子が前記第１のＮＡＮＤ回路の出力端子に接続されたインバータと、

アノードが前記第１の電源電圧端子に接続され、カソードが第２の容量を介して前記インバータの出力端子に接続された第２のダイオードと、

アノードが前記第１のダイオードのカソードに接続され、カソードが第３の容量を介して接地され、このカソードから前記チャージポンプ出力電圧を出力する第３のダイオードとを有することを特徴とする請求項４乃至６のいずれかにチャージポンプ回路。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】本発明は、供給された電源電圧よりも高い電圧を発生するチャージポンプ回路に関する。

【０００２】

【従来の技術】電源電圧よりも高い電圧を必要とする場合に、チャージポンプ回路が用いられる。図８に、従来のチャージポンプ回路の構成を示す。このチャージポンプ回路は、クロック生成回路１０１と出力部１０２とを有し、出力部１０２から出力されるチャージポンプ出力電圧 V_{out} は負荷１４に与えられる。

【０００３】クロック生成回路１０１は、比較器 C_{om}

p1及びComp2、NAND回路NA1及びNA2、ダイオードD11及びD12、容量C1を有している。比較器Comp1の非反転入力端子は、ダイオードD11等の基準電圧発生手段が発生した基準電圧Vref1を入力され、反転入力端子は、NAND回路NA2の出力端子と接地端子との間に直列に接続された抵抗R1及び容量C1の接続ノードND1に接続されている。比較器Comp2の非反転入力端子はノードND1に接続され、反転入力端子は、ダイオードD12等の基準電圧発生手段が発生した基準電圧Vref2を入力される。

【0004】NAND回路NA1の一方の入力端子は比較器Comp1の出力端子に接続され、他方の入力端子はNAND回路NA2の出力端子に接続され、出力端子はNAND回路NA2の一方の入力端子に接続されている。NAND回路NA2の一方の入力端子は比較器Comp2の出力端子に接続され、他方の入力端子はNAND回路NA1の出力端子に接続され、出力端子はNAND回路NA1の一方の入力端子に接続されている。

$$F = \left[-CR \times \ln \left(\frac{(V_{ref1} - V_{DD}) \times V_{ref2}}{(V_{ref2} - V_{DD}) \times V_{ref1}} \right) \right]^{-1} \quad \dots (1)$$

このクロックCLKの周波数Fは、常に一定値を維持する。このクロックCLKが出力部102に入力されると、図9に示されたようにチャージポンプ出力電圧Voutの電位が上昇して電源電圧Vccよりも高くなり、設定値Vsで一定となる。

【0008】

【発明が解決しようとする課題】しかし、従来のチャージポンプ回路には次のような問題があった。チャージポンプ回路が動作を開始しチャージポンプ出力電圧Voutが上昇していく間は、クロックCLKの周波数Fが高いほど出力電圧Voutが設定値Vsに到達するまでのチャージアップ時間T2は短縮される。しかし、上述したようにクロック生成回路101が発生するクロックCLKの周波数Fは常時一定値を維持する。このため、図9に示されたようにチャージアップ時間T2を短縮することは困難であった。

【0009】さらに、チャージポンプ出力電圧Voutが設定値Vsに到達した後も、クロック生成回路101はクロックCLKを発生し続ける。このため、図10に示されたように、出力電圧Voutが設定値Vsに到達した後も、チャージポンプ回路には一定の電流が流れ続け、消費電力が大きいという問題があった。仮に、チャージアップ時間T2を短縮しようとしてクロックCLKの周波数Fを高く設定すると、この消費電力はさらに増大する。

【0010】このように、図8に示された従来のチャージポンプ回路には、出力電圧Voutが設定値Vsに到達した後も回路動作に変化がないため、チャージアップ時間の短縮と消費電力の低減とを両立させることができないという問題があった。

【0005】出力部102は、インバータ1V1、容量C2及びC3、ダイオードD1及びD2を有している。インバータ1V1は入力端子をクロック生成回路101の出力端子、即ちNAND回路NA1の出力端子に接続されてクロックCLKを入力される。ダイオードD1は、アノードが電源電圧VDDよりも高い電源電圧Vccを供給する電源電圧Vcc端子に接続され、カソードがノードND2によりダイオードD2のアノードに接続されている。このノードND2は、容量C2を介してインバータ1V1の出力端子に接続されている。ダイオードD2は、カソードが容量C3を介して接地されており、このカソードからチャージポンプ出力電圧Voutを出力する。

【0006】クロック生成回路101は、電源電圧VDDと、2つの基準電圧Vrefと、容量C1及び抵抗R1による時定数CRとにより以下の(1)式のように決定される周波数Fを有するクロックCLKを出力する。

【0007】

【0011】従来の他のチャージポンプ回路には、図11に示されたような構成を備えるものもあった。この回路は、高周波のクロックCLK1を発生する第1のクロック回路201と、低周波のクロックCLK2を発生する第2のクロック回路202と、出力部102と、第1のクロック回路201及び第2のクロック回路202と出力部102との接続を切替えて、クロックCLK1とクロックCLK2のいずれかを選択するクロック切替え回路203とを備える。チャージポンプ回路が動作を開始し、チャージポンプ出力電圧Voutが一定電圧に到達するまでは高周波CLK1を選択してチャージアップ時間を短縮させ、その後はクロックCLK2に切替えて消費電力を低減させる。

【0012】しかし、この図11に示されたチャージポンプ回路でも、出力電圧Voutが設定値Vsに到達した後にクロックが停止することはないので、チャージポンプ回路は動作を停止せず、消費電力を十分に低減させることができなかった。

【0013】本発明は上記事情に鑑み、チャージアップ時間を短縮させるとともに、消費電力を低減させることが可能なチャージポンプ回路を提供することを目的とする。

【0014】

【課題を解決するための手段】本発明のチャージポンプ回路は、第1の電源電圧と、チャージポンプ出力電圧とを与えられ、前記チャージポンプ出力電圧に応じて相対的な電位差が変化する第1及び第2の基準電圧を発生する基準電圧可変回路と、前記第2の電源電圧と、前記第1及び第2の基準電圧とを与えられ、前記第1及び第2の基準電圧の相対的な電位差に応じた周波数を有するク

ロックを生成するクロック生成回路と、第1の電源電圧と前記クロックとを与えられ、前記クロックを用いて前記第1の電源電圧よりも高い前記チャージポンプ出力電圧を発生する出力部とを備えることを特徴としている。

【0015】前記基準電圧可変回路は、前記チャージポンプ出力電圧が上昇するに従い前記第1及び第2の基準電圧の相対的な電位差を連続的に拡大させていき、前記チャージポンプ出力電圧が前記第1及び第2の電源電圧の加算値以上に到達すると、前記クロック生成回路は前記クロックの生成を停止するものであってもよい。

【0016】また、前記クロック生成回路は、前記第1及び第2の基準電圧のうち電圧が高い方が前記第2の電源電圧以上になると、前記クロックの生成を停止するものであってもよい。

【0017】あるいは、第1、第2の基準電圧のうち、第2の基準電圧は固定されており、第1の基準電圧を基準電圧可変回路により変化させて、チャージポンプ出力電圧の上昇とともに第1、第2の基準電圧の相対的な電位差を拡大させてもよい。

【0018】あるいはまた、前記クロック生成回路は、前記第1の基準電圧が前記第2の電源電圧以上になると、前記クロックの生成を停止するものであってもよい。

【0019】この場合に、前記基準電圧可変回路は、非反転入力端子が第1の抵抗を介して接地され、前記非反転入力端子が第2の抵抗を介して前記出力部の出力端子に接続され、さらに前記非反転入力端子が第2の抵抗と略同一の抵抗値を持つ第3の抵抗を介して前記第2の電源電圧を供給する第2の電源電圧端子に接続されており、反転入力端子が前記第1の抵抗と略同一の抵抗値を持つ第4の抵抗を介して出力端子に接続され、前記反転入力端子が前記第2の抵抗と略同一の抵抗値を持つ第5の抵抗を介して前記第1の電源電圧を供給する第1の電源電圧端子に接続され、さらに前記反転入力端子が前記第2の抵抗と略同一の抵抗値を持つ第6の抵抗を介して接地され、前記出力端子から前記第1の基準電圧を発生する加減算増幅器を有し、前記クロック生成回路は、非反転入力端子に前記第1の基準電圧を入力され、反転入力端子が第7の抵抗を介して第2のNAND回路の出力端子に接続されると共に第1の容量を介して接地された第1の比較器と、非反転入力端子が前記第1の比較器の前記反転入力端子に接続され、反転入力端子に前記第2の基準電圧を入力される第2の比較器と、一方の入力端子が前記第1の比較器の出力端子に接続され、他方の入力端子が前記第2のNAND回路の出力端子に接続され、出力端子から前記クロックを出力し、前記第2の電源電圧を供給されて動作する第1のNAND回路と、一方の入力端子が前記第1のNAND回路の出力端子に接続され、他方の入力端子が前記第2の比較器の出力端子に接続され、前記第2の電源電圧を供給されて動作する

第2のNAND回路とを有し、前記出力部は、入力端子が前記第1のNAND回路の出力端子に接続されたインバータと、アノードが前記第1の電源電圧端子に接続され、カソードが第2の容量を介して前記インバータの出力端子に接続された第2のダイオードと、アノードが前記第1のダイオードのカソードに接続され、カソードが第3の容量を介して接地され、このカソードから前記チャージポンプ出力電圧を出力する第3のダイオードとを有するものであってもよい。

【0020】

【発明の実施の形態】以下に、本発明の一実施の形態について図面を参照して説明する。

【0021】図1に、本発明の第1の実施の形態によるチャージポンプ回路の構成を示す。本実施の形態は、基準電圧可変回路11、クロック生成回路12、及び出力部13を備えている。基準電圧可変回路11は、電源電圧 V_{cc} を供給され、出力部13が発生したチャージポンプ出力電圧 V_{out} を帰還されて、基準電圧 V_{ref1} 及び V_{ref2} を生成する。この二つの基準電圧 V_{ref1} 及び V_{ref2} は、出力電圧 V_{out} が低いときはその相対的な電位差が小さく、出力電圧 V_{out} が上昇していくにつれて相対的な電位差が連続的に拡大していくように、出力電圧 V_{out} に応じた値を有する。

【0022】このような基準電圧 V_{ref1} 及び V_{ref2} がクロック生成回路12に与えられると、上記(1)式に示されるように、電源電圧 V_{DD} と、内蔵する容量及び抵抗による時定数 CR と、基準電圧 V_{ref1} 及び V_{ref2} とで決定される周波数 F を有するクロック CLK を発生する。基準電圧 V_{ref1} 及び V_{ref2} が、上述したように出力電圧 V_{out} の上昇につれて相対的な電位差が拡大していくように変化すると、クロック CLK の周波数 F は低下していく。

【0023】このように周波数 F が変化するクロック CLK が、電源電圧 V_{cc} を供給されて動作する出力部13に入力されると、出力部13から出力される電圧 V_{out} は、クロック CLK の周波数 F が高いときは電位の上昇速度が速く、周波数 F が連続的に低下していくにつれて上昇速度が遅くなる。

【0024】そして、出力電圧 V_{out} が基準電圧 V_s に到達し、この電圧 V_{out} が基準電圧可変回路11に帰還されると基準電圧 V_{ref1} と V_{ref2} との電位差が所定値(=電源電圧 V_{DD})に到達する。所定値以上の電位差を有する基準電圧 V_{ref1} 及び V_{ref2} がクロック生成回路12に入力されると、クロック生成回路12はクロックの生成を停止する。

【0025】このように、クロック生成回路12がクロック CLK を発生するために必要な二つの基準電圧 V_{ref1} 及び V_{ref2} の相対的な電位差が、出力電圧 V_{out} の上昇に従って拡大していく。即ち、チャージポンプ回路が動作を開始した時点では基準電圧 V_{ref1} と V_{ref2}

2との電位差が最も小さく、クロックCLKの周波数Fは最も高いので、出力電圧Voutは高速に上昇していく。この出力電圧Voutが上昇していくにつれて、クロックCLKの周波数Fが連続的に低下していき、電圧Voutの上昇速度は低下する。そして、出力電圧Voutが基準電圧Vsに到達すると、基準電圧Vref1とVref2との電位差が所定値以上になり、クロック生成回路1,2はクロックの生成を停止し、チャージポンプ回路は動作を停止する。

【0026】従って、基準電圧Vref1とVref2との電位差が固定されていた図8のチャージポンプ回路と比較し、本実施の形態によれば、出力電圧Voutが基準電圧Vsに到達するまでのチャージアップ時間が短縮され、かつ消費電力が低減される。図11に示された2種類のクロックCLK1及びCLK2を用いる従来のチャージポンプ回路と比較しても、本実施の形態ではクロックCLKの周波数Fが連続的に変化するためよりチャージアップ時間をより有効に短縮化することが可能であるとともに、出力電圧Voutが基準値Vsに到達した後は回路動作が停止するので、消費電力が大幅に低減される。

【0027】図2に、本発明の第2の実施の形態によるチャージポンプ回路の構成を示す。上記第1の実施の形態では、2つの基準電圧Vref1及びVref2の相対的な電位差が基準電圧可変回路11により変化する。これに対し、本実施の形態では、一方の基準電圧Vref2は固定値とし、他方の基準電圧Vref1のみを出力電圧Voutに応じて変化させる点で相違する。

【0028】基準電圧可変回路21は、出力部13から出力された出力電圧Voutを帰還され、出力電圧Voutの上昇とともに値が増加していく基準電圧Vref1を出力する。クロック生成回路22は、内蔵する基準電圧Vref2生成回路22aにおいて固定された値を持つ基準電圧Vref2を発生する。そして、クロック生成回路22は、内蔵するクロック生成部22bにおいて、この基

$$V_{ref1} = -R6 \cdot [V_{cc} + V_{ss} - (V_{out} + V_{DD})] / R2 \quad \dots (2)$$

この(2)式に、抵抗R2=100キロオーム、抵抗R6=50キロオーム、Vss=0Vを代入すると、以下の

$$V_{ref1} = (V_{out} - V_{cc} + V_{DD}) / 2 \quad \dots (3)$$

この(3)式からも明らかなように、基準電圧Vref1の値は出力電圧Voutの上昇とともに増大していく。

【0035】クロック生成回路32は、図8に示されたチャージポンプ回路におけるクロック生成回路101と比較し、比較器Comp1の非反転入力端子に入力する基準電圧Vref1が固定された値ではなく、出力電圧Voutにより変化する値を持つ点で相違する。他の図8に示された要素と同一のものには同一の番号を付して説明を省略する。

【0036】クロック生成回路32において発生するクロックCLKの周波数Fと基準電圧Vref1及びVref

2と、基準電圧可変回路21が発生した基準電圧Vref1と、電源電圧VDDと、時定数CRとで決定される周波数Fを持つクロックCLKを出力する。クロックCLKは出力部13に与えられ、出力電圧Voutを発生する。

【0029】この第2の実施の形態においても、回路動作を開始した時点では基準電圧Vref1とVref2との電位差は最も小さく、クロックCLKの周波数Fは最も高いので出力電圧Voutは急速に上昇していく。そして、出力電圧Voutの上昇とともに基準電圧Vref1と固定値Vref1との相対的な電位差が拡大していき、クロックCLKの周波数Fは低下していく。出力電圧Voutが基準値Vsに到達すると、あるいは基準電圧Vref1が電源電圧VDDに到達するとクロックCLKが発生されなくなり、回路動作が停止する。従って、本実施の形態においても上記第1の実施の形態と同様に、チャージアップ時間の短縮と消費電力の低減とがともに達成される。

【0030】本発明の第3の実施の形態によるチャージポンプ回路は、図3に示されるような回路構成を備えている。本実施の形態は、上記第2の実施の形態における回路構成をより具体化したものに相当する。

【0031】基準電圧可変回路31は、加減算増幅器Amp1と抵抗R2~R7を有する。ここで、抵抗R2~R5は略同一で、抵抗R6とR7は略同一とする。加減算増幅器Amp1の非反転入力端子は、抵抗R6を介して接地され、また抵抗R2を介して出力部33の出力端子に接続され、さらに抵抗R3を介して電源電圧VDD端子に接続されている。反転入力端子は、抵抗R5を介して接地され、また抵抗R7を介して基準電圧Vref1を発生する出力端子に接続され、さらに抵抗R4を介して電源電圧Vcc端子に接続されている。

【0032】この場合に、基準電圧Vref1は以下の(2)式のように表される。

【0033】

(3)式のようなのである。

【0034】

2との間には、図4に示されるような関係が成立する。比較器Comp1の反転入力端子と比較器Comp2の非反転入力端子が接続されたノードND1の電位は、時点t1より基準電圧Vref1のレベルから上昇していき、時点t2において基準電圧Vref2に達すると下降し、時点t3において基準電圧Vref1まで降下し、時点t3から再び上昇していく。このようなサイクルを繰り返すことで、時点t1から時点t3までを1周期とするクロックCLKが発生される。よって、基準電圧Vref1とVref2との電位差が小さいときはクロックCLKの周波数Fは高く、電位差が拡大していくにつれて周波数F

が低下していく。

【0037】上記(3)式に示されるように、電源 V_{cc} 及び V_{DD} が投入された直後では、チャージポンプ回路は動作を開始しておらず、このときのチャージポンプ出力電圧 V_{out} は、電源電圧 $V_{cc}-2VF$ となる。ここで、 VF は一つのダイオード $D1$ 又は $D2$ のそれぞれの閾値

$$\begin{aligned} V_{ref1} &= [(24-1.4)-24+5]/2 \\ &= 1.8 \text{ (V)} \end{aligned} \quad \dots (4)$$

V_{ref1} はこの時の値、 1.8V が最も小さく、基準電圧 V_{ref1} と固定された基準電圧 V_{ref2} ($=0.70\text{V}$)との電位差は最も小さい。

【0040】この場合のクロック CLK の周波数 F は、

$$\begin{aligned} F &= [(-30\text{pF} \times 50\text{キロオーム} \times \ln(1.8\text{V}-5\text{V}) \times 0.7\text{V} / \\ &\quad (0.7\text{V}-5\text{V}) / 1.8\text{V})]^{-1} - 1 \\ &= 537.7\text{kHz} \end{aligned} \quad \dots (5)$$

この時点におけるクロック CLK の周波数 F は、最も高い。従って、図5に示されたように、出力電圧 V_{out} は高速度で上昇していく。

【0042】出力電圧 V_{out} の上昇に従い、基準電圧 V_{ref1} は値が増加していく。 V_{ref1} と V_{ref2} との電位差が拡大していき、クロック CLK の周波数 F は低下していき、出力電圧 V_{out} が上昇する速度が低下して

$$\begin{aligned} V_{ref1} &= [(24+5)-24+5]/2 \\ &= 5 \text{ (V)} \end{aligned} \quad \dots (6)$$

基準電圧 V_{ref1} が 5V となると、クロック生成回路32において、基準電圧 V_{ref1} が電源電圧 V_{DD} と同等となるため、クロック CLK を生成することが不可能となり、動作も停止する。図7に、クロック CLK の周波数 F とチャージポンプ出力電圧 V_{out} との関係を示す。出力電圧 V_{out} が上昇するにつれてクロック CLK の周波数 F は低下していき、出力電圧 V_{out} が $V_{cc}+V_{DD}$ (5V)となると、周波数 F が0になることがわかる。出力部33は、クロック CLK を供給されなくなるとチャージアップ動作を停止する。

【0045】チャージポンプ出力電圧 V_{out} が基準値 V_s に到達した後は、負荷14に電流が流れて出力電圧 V_{out} が低下すると、再びクロック生成回路32からクロック CLK が発生する。この場合には、負荷14を充電するために必要な電荷の分だけチャージアップする必要があり、クロック CLK の周波数 F は低周波であって、消費電力は極めて小さい。

【0046】図5に示されたように、本実施の形態によれば、図8に示された従来のチャージポンプ回路と比較してチャージアップ時間 $T1$ が短い。さらに、図6に示されたように、動作を開始し出力電圧 V_{out} が上昇していくにつれてクロック CLK の周波数 F が低下していくため回路に流れる電流は減少していき、チャージアップ時間 $T1$ 経過後は極めて小さな電流しか流れない。従って、回路電流が常時一定である従来の回路と比較し、本実施の形態によれば消費電力が大幅に低減される。

であるとする。

【0038】このときの V_{ref1} は、上記(3)式において、 $V_{cc}=24\text{V}$ 、 $V_{DD}=5\text{V}$ 、 $VF=0.7\text{V}$ とすると、以下のようなのである。

【0039】

$L=30\text{pF}$ 、 $R=50\text{キロオーム}$ とすると、上記(1)より以下のように求まる。

【0041】

いく。

【0043】そして、出力電圧 V_{out} の値が電源電圧 $V_{cc}+$ 電源電圧 V_{DD} (=基準値 V_s)に到達すると、上記(3)式からも明らかなように、基準電圧 V_{ref1} の値は、以下のようなのである。

【0044】

【0047】さらに、従来のチャージポンプ回路には消費電力を低減するために、チャージポンプ回路の動作のオン/オフを切り換える回路を付加したものがある。しかし、このような構成では、一旦チャージポンプ出力電圧が設定値に到達し、動作をオフした場合に、出力電圧が設定値よりも低下して再びオンし上昇を開始するまでの間は回路は動作しない。しかし、上記第1～第3の実施の形態によれば、このようなチャージポンプ回路の動作をオン/オフさせる切り換え回路は不要であり、出力電圧 V_{out} が設定値 V_s に到達した後も、負荷14を充電するために必要な電荷に対応した低い周波数 F を持つクロック CLK を発生して動作を継続しているので、出力電圧 V_{out} は設定値 V_s を維持することができる。

【0048】上述した実施の形態は一例であり、本発明を限定するものではない。例えば、図3に示された第3の実施の形態における基準電圧可変回路、クロック生成回路、及び出力部のそれぞれの回路構成は一例であって、種々の変形が可能である。

【0049】

【発明の効果】以上説明したように、本発明のチャージポンプ回路によれば、チャージポンプ出力電圧が上昇していくにつれて、クロックを発生するために必要な二つの基準電圧の相対的な電位差が拡大していくように少なくとも一方の基準電圧を変化させ、クロック周波数を低下させていくことで、チャージアップ時間の短縮化と消費電力の低減とをともに達成することが可能である。

【図面の簡単な説明】

【図１】本発明の第１の実施の形態によるチャージポンプ回路の構成を示したブロック図。

【図２】本発明の第２の実施の形態によるチャージポンプ回路の構成を示したブロック図。

【図３】本発明の第３の実施の形態によるチャージポンプ回路の構成を示したブロック図。

【図４】同チャージポンプ回路における基準電圧 V_{ref1} 及び V_{ref2} とクロック CLK の周波数 F との関係を示したタイムチャート。

【図５】同チャージポンプ回路と従来のチャージポンプ回路におけるそれぞれのチャージアップ時間を対比したグラフ。

【図６】同チャージポンプ回路における回路電流を示したグラフ。

【図７】同チャージポンプ回路におけるクロック CLK の周波数 F とチャージポンプ出力電圧 V_{out} との関係を示したグラフ。

【図８】従来のチャージポンプ回路の構成を示したブロック図。

【図９】同チャージポンプ回路のチャージアップ時間を示したグラフ。

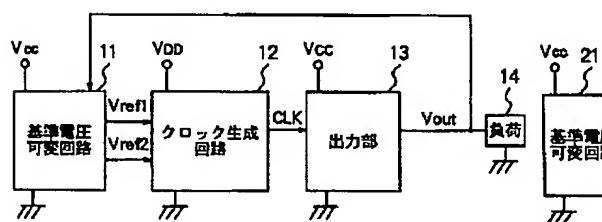
【図１０】同チャージポンプ回路に流れる電流を示したグラフ

【図１１】従来の他のチャージポンプ回路の構成を示したブロック図。

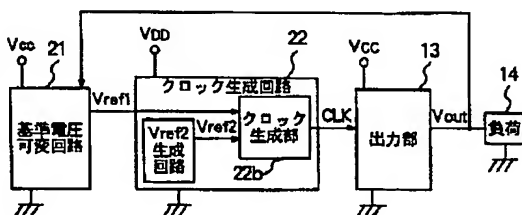
【符号の説明】

- 11、21、31 基準電圧可変回路
- 12、22、32 クロック生成回路
- 13、33 出力部
- 14 負荷
- 22a 基準電圧 V_{ref2} 生成回路
- 22b クロック生成部
- R1～R7 抵抗
- Amp1 加減算増幅器
- Comp1、Comp2 比較器
- NA1、NA2 NAND回路
- C1～C3 容量
- D1、D2、D12 ダイオード
- IV1 インバータ

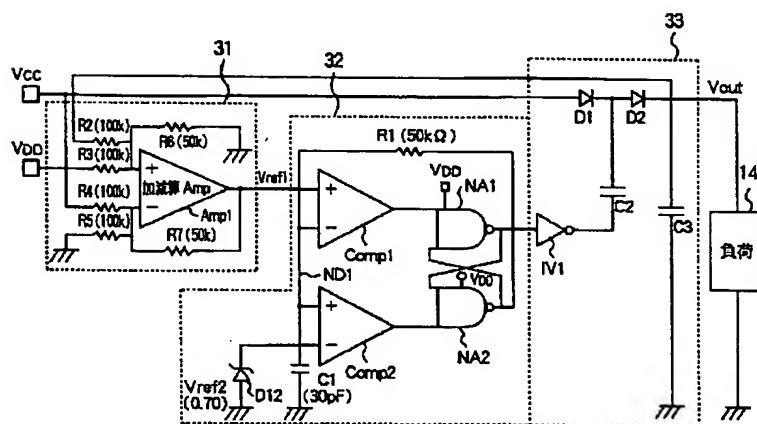
【図１】



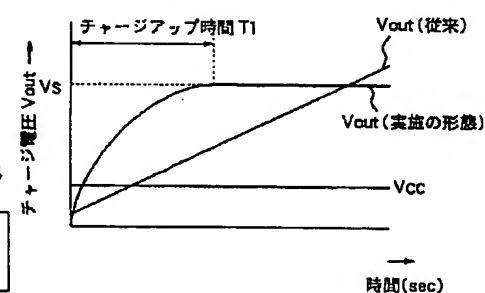
【図２】



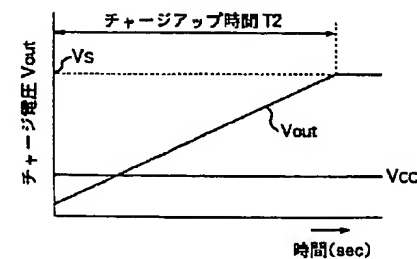
【図３】



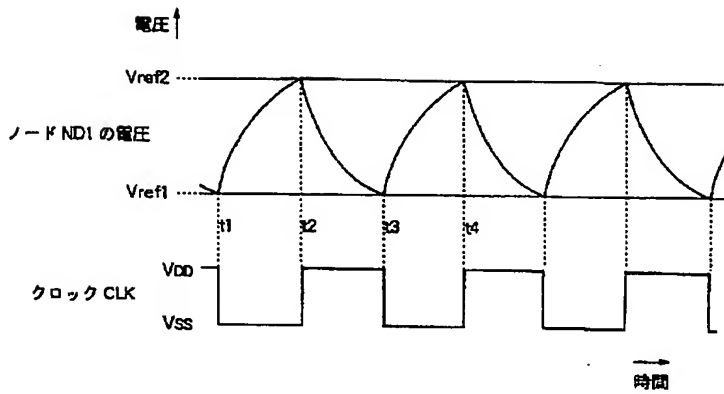
【図５】



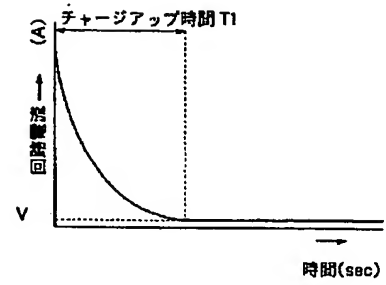
【図９】



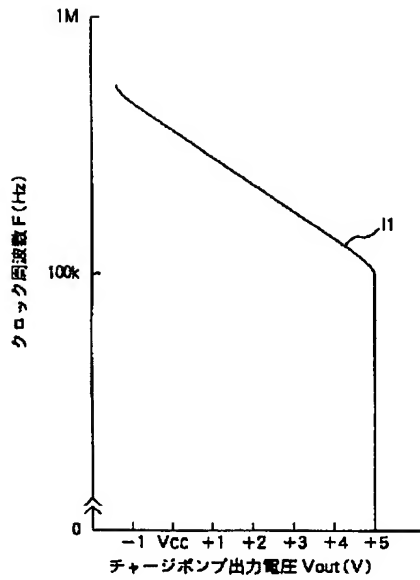
【図 4】



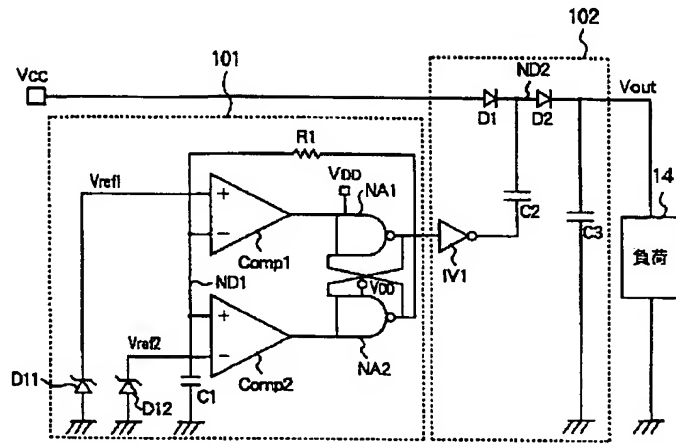
【図 6】



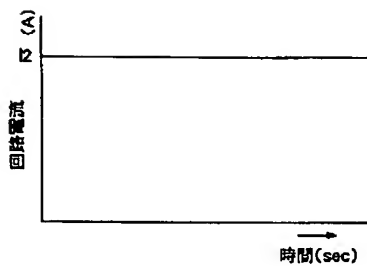
【図 7】



【図 8】



【図 10】



【図 11】

